HANSER

Inhaltsverzeichnis

Taschenbuch Mikroprozessortechnik

Herausgegeben von Thomas Beierlein, Olaf Hagenbruch

ISBN: 978-3-446-42331-2

Weitere Informationen oder Bestellungen unter

http://www.hanser.de/978-3-446-42331-2

sowie im Buchhandel.

© Carl Hanser Verlag, München

Inhaltsverzeichnis

1 Einführung und Grundlagen . . . 14
1.1 *Einführung* . . . 14
1.1.1 Bestandteile eines Mikrocomputers . . . 15
1.1.2 Gegenstand der Mikroprozessortechnik . . . 17
1.1.3 Historische Entwicklung . . . 17
1.1.4 Differenzierung von Mikroprozessoren . . . 20
1.2 *Aufbau und Funktion einfacher Mikroprozessoren* . . . 23
1.2.1 Komponenten eines Mikroprozessors . . . 23
1.2.1.1 Register . . . 23
1.2.1.2 ALU . . . 25
1.2.1.3 Steuerwerk . . . 27
1.2.1.4 Adresswerk . . . 28
1.2.1.5 Systembus . . . 29
1.2.2 Ausgewählte Funktionsprinzipien . . . 30
1.2.2.1 Ablauf der Befehlsabarbeitung . . . 30
1.2.2.2 Bussteuerung . . . 33
1.2.2.3 Stackfunktion . . . 35
1.2.2.4 Polling und Interrupt-Steuerung . . . 37
1.2.3 Basis-Architekturen . . . 38
1.2.3.1 Vorbemerkungen . . . 38
1.2.3.2 CISC-Prozessoren . . . 39
1.2.3.3 RISC-Prozessoren . . . 40
1.3 *Programmiermodell eines Mikroprozessors* . . . 41
1.3.1 Registersatz . . . 42
1.3.2 Speichermodell . . . 43
1.3.3 Befehlssatz . . . 45
1.3.4 Adressierungsarten . . . 46
1.4 *Erhöhung der Verarbeitungsleistung* . . . 47
1.4.1 Pipelining . . . 47
1.4.2 Cache-Speicher . . . 49
1.4.3 Superskalare Prozessoren . . . 51
1.4.4 Multicore-Prozessoren . . . 53
1.5 *Trends* . . . 56

2 Grundlagen der Informationsdarstellung . . . 57
2.1 *Grundbegriffe und Definitionen* . . . 57
2.2 *Zahlensysteme* . . . 59
2.2.1 Zahlenkonvertierung . . . 60
2.2.2 Darstellung von Dualzahlen . . . 60
2.2.3 Elementare Rechenoperationen . . . 63
2.2.3.1 Addition . . . 64
2.2.3.2 Subtraktion . . . 65
2.2.4 Gleitkommaarithmetik . . . 65
2.2.4.1 Berechnung einer 32-Bit-Gleitkommazahl . . . 65
2.2.4.2 Addition/Subtraktion von Gleitkommazahlen . . . 66

2.3 *Codierung* . . . 67
2.3.1 Definitionen . . . 67
2.3.2 Tabellen . . . 69

3 Mikroprozessorarchitekturen . . . 71
3.1 *Grundsätzliche Fragen der Mikroprozessorarchitektur* . . . 71
3.1.1 Ziele von Mikroprozessorarchitekturen . . . 72
3.1.2 Von-Neumann- und Harvard-Architektur . . . 74
3.1.3 Klassifizierungsschemata . . . 75
3.1.3.1 Klassifizierung nach Flynn . . . 76
3.1.3.2 Erlanger Klassifikationssystem ECS . . . 76
3.1.4 Bearbeitungsphasen bei Befehlen . . . 78
3.1.5 Einteilung der Prozessoren nach Befehlsformaten . . . 79
3.1.6 Architekturklassen bei Prozessoren . . . 80
3.2 *CISC-Prozessoren und Mikroprogrammierung* . . . 81
3.2.1 Mikroprogrammierung . . . 82
3.2.2 Adressierungskonzepte . . . 83
3.2.3 CISC-Prozessoren . . . 84
3.3 *RISC-Prozessoren und Phasenpipelining* . . . 85
3.3.1 Phasenpipelining . . . 86
3.3.2 Optimierung der Phasen der Befehlsausführung . . . 86
3.3.3 Pipelinevariante I: Vier Phasen der Befehlsbearbeitung . . . 89
3.3.4 Datenhazards und Data-Forwarding . . . 90
3.3.5 Kontrollflusshazards . . . 92
3.3.6 Ausnahme- und Interrupt-Request-Behandlung . . . 97
3.3.7 Pipelinevariante II: Acht Phasen der Befehlsbearbeitung . . . 97
3.3.8 Definition von RISC-Prozessoren . . . 99
3.4 *Superskalare und VLIW-Prozessoren* . . . 99
3.4.1 Superskalare Prozessoren . . . 100
3.4.2 Kontrollflusshazards . . . 102
3.4.3 Datenhazards . . . 103
3.4.4 Register-Renaming . . . 104
3.4.5 Algorithmen zur dynamischen Parallelisierung . . . 105
3.4.6 Auswirkungen auf die Compilertechnologie . . . 106
3.4.7 VLIW-Prozessoren . . . 107
3.4.8 Zusammenfassung der Kontrollfluss- und Datenabhängigkeiten . 109
3.5 *Neue Ansätze in der Mikroprozessorarchitektur* . . . 110
3.5.1 Multithreading-/Multiprocessing-Architekturen . . . 110
3.5.2 Konfigurierbare Prozessorarchitekturen . . . 113
3.6 *Signalprozessoren* . . . 115
3.7 *Alternative Konzepte* . . . 116
3.7.1 Reconfigurable Computing . . . 116
3.7.2 Architekturklassifizierung für rekonfigurierbare Architekturen . . 117

4 Programmiermodell eines Mikroprozessors . . . 119
4.1 *Allgemeiner Befehlsaufbau* . . . 121
4.1.1 Registermodell . . . 121
4.1.2 Befehlsformat . . . 128
4.1.3 Adressierungsarten . . . 130
4.1.3.1 Unmittelbare Adressierung (Immediate) . . . 130

4.1.3.2 Absolute Adressierung (Direct, Absolute) 131
4.1.3.3 Registeradressierung (Register Direct) 131
4.1.3.4 Registerindirekte Adressierung (Register Indirect) . . . 132
4.1.3.5 Registerindirekte Adressierung mit Postinkrement . . . 133
4.1.3.6 Registerindirekte Adressierung mit Prädekrement 134
4.1.3.7 Registerindirekte Adressierung mit Versatz (Displacement) 135
4.1.3.8 Indizierte Adressierung 136
4.1.3.9 Indizierte Adressierung mit Versatz 136
4.1.3.10 Implizite Adressierung 137
4.1.3.11 PC-relative Adressierung 137
4.2 *Befehlsgruppen* 138
4.2.1 Datentransport (Load And Store) 139
4.2.2 Logik und Arithmetik 140
4.2.3 Bit- und String-Verarbeitung 142
4.2.4 Ein- und Ausgabe 143
4.2.5 Steuerung des Programmablaufs 144
4.2.6 Ausnahme- und Unterbrechungsbehandlung 145
4.2.7 Gleitkommaunterstützung 148
4.2.8 Befehlssatzanpassung 149
4.3 *Einführung in die Programmierung* 150
4.3.1 Befehlssatz und Assembler 150
4.3.2 Beispiele 151
4.3.3 Entwicklungsaspekte 153
4.3.4 Datentypen 155

5 Speicherhierarchie und Bussysteme 157
5.1 *Prozessor-Speicher-Bus-System* 157
5.1.1 Leistungsmaße und Leistungsanforderungen 157
5.1.2 Gesamtstruktur des Prozessor-Speicher-Bus-Systems 159
5.2 *Caches* 163
5.2.1 Cache-Organisation 164
5.2.1.1 Voll-assoziative Organisation (Fully Associative Cache Organization) 165
5.2.1.2 Direkt abbildende Organisation (Direct-Mapped Cache Organization) 166
5.2.1.3 n-Wege-assoziative Organisation (n-Way Set Associative Cache Organization) 168
5.2.1.4 Trace-Cache-Organisation 169
5.2.2 Cache-Ersetzungsstrategien 170
5.2.3 Leistungssteigerung durch Cache-Einsatz 170
5.2.4 Cache-Einsatz in Multiprozessor- und Multimaster-Systemen . . . 171
5.3 *Busse und Interconnect-Strukturen* 173
5.3.1 Busgrundlagen 173
5.3.2 Der Systembus 176
5.3.3 Schreib- und Lesezyklen 177
5.3.4 Sonderzyklen und Cache-Protokollzyklen 180
5.3.5 Interconnect-Strukturen 180

5.4 *Bus-Standards* . . . 184
5.4.1 PCI-Bus . . . 184
5.4.2 PCI-Express (PCIe) . . . 186
5.4.3 EISA/ISA . . . 187
5.4.4 Andere Standardbusse . . . 187
5.5 *Hauptspeicher* . . . 187
5.5.1 DRAM-Speicherchips . . . 187
5.5.2 Hauptspeicher-Organisation . . . 190
5.5.3 Zeitlicher Ablauf von DRAM-Schreib- und Lesezyklen . . . 191
5.6 *Virtueller Speicher und Speicherhierarchien* . . . 193
5.6.1 Gesamtübersicht . . . 193
5.6.2 Umsetzung von logischen in physikalische Adressen . . . 194
5.6.3 Systemsicht auf Externspeichermedien . . . 195

6 Periphere Systemkomponenten . . . 198
6.1 *Parallele und serielle Interfaces* . . . 198
6.1.1 Parallele Interfaces . . . 199
6.1.1.1 Einfache Parallelinterfaces . . . 199
6.1.1.2 Programmierbare Parallel-Interfaces . . . 200
6.1.2 Serielle Interfaces . . . 202
6.1.3 Standardisierte serielle Interfaces . . . 203
6.1.3.1 Standard RS232C . . . 204
6.1.3.2 Standard RS422A/RS423A . . . 205
6.1.3.3 Standard RS485A . . . 207
6.1.3.4 Serial Peripheral Interface (SPI) . . . 208
6.1.3.5 Inter-IC-Interface (I^2C) . . . 209
6.1.3.6 Drahtlose Interfaces . . . 211
6.1.4 Counter-/Timer-Schnittstellen . . . 216
6.1.5 Einfache Anzeigeinterfaces . . . 216
6.2 *Periphere Bussysteme* . . . 219
6.2.1 Geräte-Bussysteme . . . 220
6.2.1.1 USB (Universal Serial Bus) . . . 220
6.2.1.2 Interface-Standard IEEE 1394 . . . 224
6.2.2 Feldbusse, Sensor-/Aktorbusse . . . 225
6.2.2.1 Übersicht . . . 225
6.2.2.2 Profibus . . . 226
6.2.2.3 CAN . . . 227
6.2.2.4 INTERBUS . . . 228
6.2.3 Bussystem Ethernet . . . 231
6.3 *Sensor-/Aktuator-Systemkomponenten* . . . 233
6.3.1 Signalkette . . . 233
6.3.2 Signalverstärkung und -abtastung . . . 235
6.3.3 Signalumsetzer . . . 236
6.3.4 Messwerterfassungssysteme . . . 238

7 Mikrocontroller . . . 239
7.1 *Einführung und Grundlagen* . . . 239
7.1.1 Allgemeines . . . 239

7.1.2 Historische Entwicklung 242
7.1.3 Marktsituation 244
7.2 *On-Chip-Komponenten* 244
7.2.1 Mikrocontrollerkerne 245
7.2.2 Verbindungssysteme 249
7.2.3 Speicherkomponenten 252
7.2.3.1 Programmspeicher 252
7.2.3.2 Datenspeicher 254
7.2.4 Ausgewählte On-Chip-Peripheriekomponenten 256
7.2.4.1 Port 256
7.2.4.2 Externe Interrupts 258
7.2.4.3 Timer 258
7.2.4.4 Serielle Kommunikationsinterfaces 262
7.2.4.5 Wandlerkomponenten 271
7.2.5 Komponenten für den Systemsupport 273
7.2.5.1 Taktsystem 273
7.2.5.2 Sicherheitskomponenten 275
7.2.5.3 Stromsparmodi 276
7.3 *Externe Erweiterungen* 276
7.3.1 Externe Speichererweiterungen 277
7.3.2 Überwachungsbausteine 277
7.3.3 Real-Time-Clocks 278
7.4 *Entwicklungstrends* 279

8 Digitale Signalprozessoren 280
8.1 *Digitale Echtzeit-Signalverarbeitung* 280
8.1.1 Anwendungsgebiete 281
8.1.2 Mathematische Schlüsseloperationen der digitalen Signalverarbeitung 281
8.1.3 Prozesskette der digitalen Signalverarbeitung 282
8.2 *Algorithmen der digitalen Signalverarbeitung* 284
8.2.1 Diskrete Fourier-Transformation 284
8.2.2 Digitale Filter 285
8.2.3 Bildverarbeitung 286
8.3 *Aufbau digitaler Signalprozessoren* 287
8.3.1 Harvard-Architektur 288
8.3.2 Arithmetik-Logik-Einheit (ALU) 289
8.3.3 Hardware-Multiplikationseinheit(en) 289
8.3.4 Zeiger-Arithmetikeinheit 290
8.3.5 Hardware-Shifter 290
8.3.6 Befehls-Pipeline 290
8.3.7 Integrierte Speicherblöcke 291
8.3.8 Peripherie-Module 292
8.3.8.1 Analog/Digital-Wandler 292
8.3.8.2 Digital/Analog-Wandler 293
8.3.8.3 Pulsweitenmodulation (PWM) 294
8.3.8.4 Capture-Baugruppen 295
8.3.9 Direct Memory Access (DMA) 296
8.3.10 Serielle Kommunikationsbaugruppen 297

8.4 *DSP-Zahlensysteme* . . . 298
8.4.1 Gleitkomma-Formate . . . 298
8.4.2 Festkomma-Zahlenformate . . . 299
8.4.2.1 Vorzeichenbehaftete ganze Zahlen . . . 300
8.4.2.2 Gebrochene Festkommazahlen . . . 300
8.4.2.3 IQ-Zahlen . . . 301
8.5 *Besonderheiten des DSP-Befehlssatzes* . . . 302
8.5.1 Adressierungsarten . . . 302
8.5.1.1 Ringspeicher-Adressierung . . . 302
8.5.1.2 Bit-Reverse-Adressierung . . . 303
8.5.1.3 Doppel-Zeiger-Zugriff . . . 305
8.5.2 Spezielle DSP-Assemblerbefehle . . . 305
8.5.2.1 Multiply and Accumulate (MAC) . . . 305
8.5.2.2 Dual-MAC-Befehl . . . 306
8.5.2.3 Filter-Berechnungsbefehle . . . 307
8.5.2.4 Befehle zur Pipeline-Optimierung . . . 308
8.5.3 Besonderheiten der DSP-Programmierung . . . 309
8.6 *Übersicht aktueller Signalprozessoren* . . . 309
8.6.1 Preiswerte Festkomma-DSP . . . 310
8.6.2 Hochleistungs-Festkomma-DSP . . . 311
8.6.3 Gleitkomma-DSP . . . 313

9 Hardware-Software-Codesign . . . 314
9.1 *Modelle, Sprachen* . . . 316
9.2 *Sprachkriterien* . . . 328
9.3 *Architekturen* . . . 334
9.3.1 Hardware-Implementierung . . . 336
9.3.2 Software-Implementierung . . . 340
9.3.2.1 CISC-Philosophie . . . 341
9.3.2.2 RISC-Philosphie . . . 342
9.4 *Codesign-Methodik* . . . 344
9.4.1 System-Spezifikation . . . 345
9.4.1.1 Homogene Spezifikation . . . 345
9.4.1.2 Heterogene Spezifikation . . . 346
9.4.2 Partitionierung . . . 347
9.4.3 Synthese, Integration . . . 348

10 Mikroprozessoren für Workstations . . . 349
10.1 *Einführung* . . . 349
10.2 *Funktionseinheiten* . . . 350
10.2.1 Übersicht . . . 350
10.2.2 Central Processing Unit (CPU) . . . 351
10.2.3 Multicore-Technologie . . . 355
10.2.4 Chipsatz-Interfaces . . . 356
10.2.5 DRAM (Dynamic Random Access Memory) . . . 358
10.2.6 HPET (High Precision Event Timer) . . . 359
10.3 *Spezielle Architekturmerkmale* . . . 361
10.3.1 ACPI (Advanced Configuration and Power Interface) . . . 364
10.3.2 AES (Advanced Encryption Standard) . . . 365

10.3.3 APIC (Advanced Programmable Interrupt Controller) 366
10.3.4 AVX (Advanced Vector Extension) 367
10.3.5 Befehlssatzerweiterungen 367
10.3.6 Display-Interface 369
10.3.7 DTES64 (64 Bit Debug Store) 369
10.3.8 EIST (Enhanced Intel SpeedStep Technology) 369
10.3.9 EM64T (Intel 64 Extended Memory 64 Technology) 370
10.3.10 Formfaktor 370
10.3.11 HD-Audio 370
10.3.12 MMX SSE 371
10.3.13 PCIe (PCI-Express) 372
10.3.14 Prozessorsockel 372
10.3.15 TDP (Thermal Design Power) 373
10.4 *Mikroprozessoren in Industrie-PCs* 374
10.5 *Entwicklungstrends* 379

11 Inbetriebnahme und Debugging von Mikroprozessorsystemen 380
11.1 *Inbetriebnahme* 381
11.1.1 Neuentwicklung 381
11.1.2 Überarbeitete Hardware 382
11.1.3 Neue Software 383
11.1.4 Seriengerät 383
11.2 *Debugging* 384
11.2.1 Grundprobleme und prinzipielle Ansätze 384
11.2.2 Mittel zur Fehlersuche 385
11.2.3 Debugger 389
11.2.3.1 Prinzipielle Arbeitsweise 390
11.2.3.2 Low- und High-Level-Debugging 391
11.2.3.3 Technische Realisierung 393

12 Architektur ausgewählter Mikrocontroller 397
12.1 *Architekturmerkmale für Mikrocontroller* 397
12.1.1 Architekturmerkmale für Mikroprozessorkerne 397
12.1.2 Architekturmerkmale für Speicher 397
12.1.3 Architekturmerkmale für Peripherie 398
12.1.4 Dimensionen in der Architekturbewertung von Mikrocontrollern 399
12.2 *Übersicht zu den Anbietern von Mikrocontrollern* 399
12.3 *Übersicht zu den Mikrocontrollerfamilien* 400

Literaturverzeichnis 433

Sachwortverzeichnis 449