



Inhaltsverzeichnis

Taschenbuch Digitaltechnik

Herausgegeben von Christian Siemers, Axel Sikora

ISBN (Buch): 978-3-446-43263-5

ISBN (E-Book): 978-3-446-43990-0

Weitere Informationen oder Bestellungen unter

<http://www.hanser-fachbuch.de/978-3-446-43263-5>

sowie im Buchhandel.

Inhaltsverzeichnis

1	Grundlagen	17
1.1	<i>Einführung in die Digitaltechnik</i>	17
1.1.1	Analoge und digitale Signale	18
1.1.2	Umsetzung zwischen analogen und digitalen Werten	20
1.1.3	Binäre Zustände	21
1.1.4	Zeichen, Alphabet und Code	21
1.1.5	Mehrwertige Logik	22
1.1.6	Programmierbare digitale Systeme	22
1.2	<i>Klassifizierung von digitalen Schaltungen</i>	22
1.2.1	Zeitunabhängige Schaltungen	23
1.2.2	Zeitabhängige Schaltungen	23
1.3	<i>Zielfunktionen</i>	24
1.3.1	Zielfunktionen in der Rechnertechnik	25
1.3.2	Zielfunktionen in der Kommunikationstechnik	25
1.3.3	Weitere Zielfunktionen	26
1.4	<i>Einheiten und Größen der Digitaltechnik</i>	26
2	Halbleitertechnologie und Schaltungstechnik	28
2.1	<i>Einführung</i>	28
2.2	<i>Technologische Grundlagen</i>	28
2.2.1	Eigenschaften von Atomen im Verbund	28
2.2.2	Eigenschaften von Halbleitern	31
2.2.3	Herstellung von Halbleitern	32
2.2.4	Skalierung von Halbleiterbauelementen	34
2.2.5	Weiterentwicklung von Halbleitern	35
2.3	<i>Bauelemente</i>	37
2.3.1	Bipolardioden	37
2.3.2	Bipolartransistoren	39
2.3.3	Feldeffekttransistoren	41
2.3.3.1	Isolierschicht-FET	41
2.3.3.2	Sperrschichtisolierte FET	44
2.3.4	CMOS-Technologien	45
2.3.5	Metallisierungssysteme	46
2.4	<i>Schaltungstechniken</i>	47
2.4.1	Überblick	47
2.4.2	TTL	48
2.4.3	ECL	50
2.4.4	NMOS	50
2.4.5	CMOS	52
2.4.5.1	Grundaufbau	52
2.4.5.2	Zeitverhalten	55
2.4.5.3	Transmission-Gates	56
2.4.6	BiCMOS	56
2.4.7	Ausgangsschaltungen	57
2.4.8	Schaltkreisfamilien	59

3	Zahlensysteme und Codierung	60
3.1	<i>Zahlensysteme</i>	60
3.1.1	Additionssysteme	60
3.1.2	Stellenwertsysteme	61
3.1.3	Zahlensystemkonvertierung	61
3.2	<i>Binäre Codierung von Zahlen und Zeichen</i>	61
3.2.1	Darstellung positiver ganzer Zahlen	61
3.2.2	Darstellung negativer ganzer Zahlen	62
3.2.3	Darstellung rationaler Zahlen	65
3.2.3.1	Festkommadarstellung	65
3.2.3.2	Gleitkommadarstellung	66
3.2.4	Tetraden-Codes	69
3.2.5	Zeichencodes	70
3.2.5.1	ASCII	70
3.2.5.2	ISO 8859	71
3.2.5.3	Unicode	72
3.2.5.4	Universal Transformation Format (UTF)	72
3.3	<i>Grundbegriffe der Codierungstheorie</i>	73
3.4	<i>Quellencodierung</i>	76
3.4.1	Grenzen der Kompression	76
3.4.1.1	Informationsgehalt und Entropie	76
3.4.1.2	Theorem von Shannon	77
3.4.2	Verlustfreie Kompression	79
3.4.2.1	Fano-Codierung	80
3.4.2.2	Huffman-Codierung	81
3.4.2.3	Lauf längencodierung	82
3.4.2.4	Lempel-Ziv-Codierung	82
3.4.2.5	Arithmetische Codierung	83
3.4.3	Verlustbehaftete Kompression	84
3.4.3.1	Sprachkompression	85
3.4.3.2	Bildkompression	85
3.4.3.3	Audio- und Videokompression	86
3.5	<i>Kanalcodierung</i>	86
3.5.1	Hamming- und Code-Distanz	87
3.5.2	Fehlererkennende Codes	87
3.5.2.1	Paritäts-Codes	88
3.5.2.2	CRC-Codes	88
3.5.3	Fehlerkorrigierende Codes	91
3.5.3.1	Hamming-Code	91
3.5.3.2	Matrix-Codes	93
3.5.4	Grenzen der Datenübertragung	93
3.6	<i>Leitungscodierung</i>	95
3.6.1	Signalbildung	95
3.6.2	Modulation	97
4	Boole'sche Algebra	98
4.1	<i>Grundlagen</i>	98
4.1.1	Elementare Boole'sche Operatoren	98
4.1.1.1	Null- und Eins-Theoreme	99

4.1.1.2	Idempotenz	99
4.1.1.3	Komplement	99
4.1.2	Boole'sche Funktionen	99
4.1.2.1	Funktionen mit einem Eingang und Ausgang	100
4.1.2.2	Funktionen mit zwei Eingängen	100
4.1.2.3	Boole'sche Funktionen mehrerer Variabler	102
4.1.3	Rechenregeln der Schaltalgebra	103
4.1.3.1	Kommutativgesetze	103
4.1.3.2	Assoziativgesetze	103
4.1.3.3	Distributivgesetze	103
4.1.3.4	Kürzungsregeln	103
4.1.3.5	De Morgan'sche Gesetze	104
4.1.3.6	Dualitätsprinzip, Shannon'sches Gesetz	104
4.1.4	Vollständige Logiksysteme	105
4.1.4.1	Vollständiges System aus UND, ODER, NICHT	105
4.1.4.2	Vollständige Systeme mit NAND- oder mit NOR-Operator	106
4.2	<i>Normalformen</i>	106
4.2.1	Disjunktive Normalform (DNF)	106
4.2.1.1	Minterm	106
4.2.1.2	DNF-Beschreibung Boole'scher Funktionen	106
4.2.2	Konjunktive Normalform (KNF)	107
4.2.2.1	Maxterm	107
4.2.2.2	KNF-Beschreibung Boole'scher Funktionen	108
4.2.3	Vertauschen der UND/ODER-Operatoren	108
4.3	<i>Minimieren Boole'scher Funktionen</i>	108
4.3.1	Minimierungsverfahren	109
4.3.2	KV-Diagramm	109
4.3.2.1	KV-Diagramm für zwei Eingangsvariable	109
4.3.2.2	KV-Diagramm für drei Eingangsvariable	110
4.3.2.3	KV-Diagramme mit bis zu sechs Eingangsvariablen	111
4.3.2.4	Implikanten	111
4.3.2.5	Minimieren Boole'scher Funktionen	112
4.3.3	Ausnutzen von Redundanzen	114
4.3.4	Verfahren von Quine und Mc Cluskey	114
4.4	<i>Funktionszerlegung</i>	116
4.4.1	Disjunkte Zerlegung	116
4.4.2	Iterative Zerlegung	117
4.4.3	Shannon-Zerlegung	117
4.4.4	Geordnete binäre Entscheidungsgraphen	119
5	Kombinatorische Schaltungen	121
5.1	<i>Wichtige Grundsaltungen</i>	121
5.1.1	Multiplexer	121
5.1.1.1	Funktionsweise eines Multiplexers	122
5.1.1.2	Schaltsymbol	122
5.1.1.3	Realisierung Boole'scher Funktionen	123
5.1.2	Demultiplexer	123
5.1.2.1	Funktionsweise eines Demultiplexers	123

5.1.2.2	Schaltsymbol	124
5.1.2.3	Realisierung Boole'scher Funktionen	124
5.1.3	Code-Umsetzer	125
5.1.3.1	Prioritäts-Encoder	125
5.1.3.2	Binär/Gray-Code-Umsetzer	126
5.1.4	Addition und Subtraktion von Zahlen	126
5.1.4.1	Addition einzelner Bits	126
5.1.4.2	Addition positiver Festkommazahlen	127
5.1.4.3	Addition von 2er-Komplementzahlen	128
5.1.4.4	Subtraktion von Festkommazahlen	128
5.1.4.5	Rechenwerk zur Addition und Subtraktion	129
5.1.4.6	Beschleunigung der Addition	130
5.2	<i>Hazards</i>	131
5.2.1	Entstehung von Hazards	132
5.2.2	Eliminieren von Hazards	133
5.3	<i>Schaltungen mit externer asynchroner Rückkopplung</i>	133
5.3.1	Gedankliche Auftrennung der Rückkopplungssignale	134
5.3.2	Spezifikation asynchron rückgekoppelter Schaltungen	134
5.3.2.1	Spezifikation mittels Funktionstabelle	134
5.3.2.2	Spezifikation durch Zustandsdiagramm	135
5.3.3	Realisierung asynchron rückgekoppelter Schaltungen	136
6	Sequenzielle Schaltungen	139
6.1	<i>Grundlagen</i>	139
6.1.1	Realisierung von bistabilen Kippstufen (Flipflops)	139
6.1.1.1	Grundlegendes	139
6.1.1.2	Asynchrone Flipflops	140
6.1.1.3	Synchrone Flipflops	141
6.1.2	Zeitverhalten von Flipflops	146
6.1.3	Schmitt-Trigger	148
6.2	<i>Asynchrone Schaltwerke</i>	150
6.3	<i>Synchrone Schaltwerke</i>	151
6.3.1	Endliche Zustandsautomaten	151
6.3.1.1	Übersicht	151
6.3.1.2	Diskretisierung der Zeit	154
6.3.1.3	Entwurf endlicher Zustandsautomaten	154
6.3.1.4	Modellierung endlicher Zustandsautomaten	155
6.3.1.5	Codierung	162
6.3.2	Timing-Bedingungen	162
6.3.2.1	Synchroner Fall	162
6.3.2.2	Taktversatz	163
6.3.2.3	Minimierung des Taktversatzes	165
6.3.3	Pipelining	165
6.3.4	Verlustleistung	166
6.3.5	Hilfsschaltungen	167
6.3.5.1	Realisierung von Multivibratoren (Oszillatoren)	167
6.3.5.2	Realisierung von Reset-Schaltungen	169
6.4	<i>Zähler und Frequenzteiler</i>	169
6.4.1	Asynchrone Zähler	170

6.4.2	Synchrone Zähler	171
6.5	Schieberegister	172
7	Entwurfsverfahren für digitale Schaltungen	175
7.1	Schritte im Entwurfsprozess	177
7.2	Modellierung digitaler Systeme	182
7.2.1	Modelleingabe	183
7.2.1.1	Schaltplaneingabe	183
7.2.1.2	HDL-Modelleingabe	184
7.2.1.3	Grafische Modelleingabe	184
7.2.2	Einfaches Entwurfsbeispiel	185
7.2.2.1	Spezifikation auf algorithmischer Ebene	185
7.2.2.2	Strukturierung auf RT-Ebene	186
7.2.2.3	Verhaltensmodellierung auf RT-Ebene	187
7.2.2.4	Synthese und Implementierung des RT-Modells	189
7.2.2.5	Analyse auf Gatterebene	190
7.2.2.6	Redesign als Ripple-Carry-Addierer	190
7.2.2.7	Gatternetzliste einer CPLD-Implementierung	191
7.2.2.8	Übergang auf die Transistorebene	192
7.3	Simulation	193
7.3.1	Grundlagen der Simulation	193
7.3.1.1	Simulationsarten	194
7.3.1.2	Simulationsmethoden	196
7.3.1.3	Grenzen der Simulation	197
7.3.1.4	Verzögerungsmodelle	198
7.3.2	Ereignisgesteuerte Simulation	200
7.4	Synthese	202
7.4.1	Verhaltenssynthese	204
7.4.2	RT-Synthese	206
7.5	Physikalische Implementierung	207
7.5.1	Translate	208
7.5.2	Technology Mapping und Place & Route	208
7.5.2.1	CPLD Optimierung	208
7.5.2.2	Mehrstufige Logikoptimierung	208
7.5.2.3	Optimierung für SRAM-FPGAs	210
7.5.3	Place & Route	210
7.5.4	Neuere Trends	211
7.6	Verifikation	211
7.6.1	Funktionale Verifikation	212
7.6.1.1	Verifikationssimulation	213
7.6.1.2	Hardware-Emulation	213
7.6.1.3	FPGA-Prototypen	214
7.6.2	Statische Timinganalyse	214
7.6.3	Formale Verifikation	215
7.6.3.1	Logikverifikation	216
7.6.3.2	Verifikation durch Modellprüfung	216
7.7	Entwicklungstrends	217
7.7.1	Hierarchisierung	217
7.7.2	Hardware-Software-Codesign	218

8	Hardware-Modellierung	220
8.1	<i>Hardware-Beschreibungssprachen</i>	220
8.2	<i>VHDL</i>	221
	8.2.1 Grundkonzepte von VHDL	222
	8.2.1.1 Sprachelemente	222
	8.2.1.2 Schnittstellenbeschreibung durch entity, port und generic	227
	8.2.1.3 Architekturbeschreibung und lokale Signale	229
	8.2.1.4 Datenflussbeschreibung durch nebenläufige Signalzuweisungen	229
	8.2.1.5 Verhaltensbeschreibungen durch Prozesse	230
	8.2.1.6 Strukturbeschreibung mit Komponenten	235
	8.2.1.7 Unterprogramme	237
	8.2.1.8 Verwendung von Bibliotheken	238
	8.2.1.9 Testumgebungen	240
8.3	<i>VHDL-AMS</i>	241
	8.3.1 VHDL-AMS-Konzepte	241
	8.3.2 Verhaltensbeschreibungen	243
	8.3.3 Strukturmodelle	245
8.4	<i>Verilog im Vergleich zu VHDL</i>	246
	8.4.1 Sprachelemente	246
	8.4.2 Strukturelle Beschreibung	246
	8.4.3 Verhaltensbeschreibung	248
8.5	<i>SystemC</i>	253
	8.5.1 Grundkonzepte von SystemC	254
	8.5.2 RT-Verhaltensbeschreibungen	255
	8.5.3 Strukturbeschreibungen	257
	8.5.4 Entwurf einer Testbench	258
	8.5.5 Besonderheiten bei der Verwendung von Signalen und Variablen	261
9	Test und Diagnose	262
9.1	<i>Grundlagen</i>	262
9.2	<i>Fehlermodelle und Testmethoden</i>	264
	9.2.1 Ausbeutemodelle	264
	9.2.2 Fehlermodelle	264
9.3	<i>Testmustererzeugung und Fehlersimulation</i>	267
	9.3.1 Schaltungspartitionierung und Fehlerreduktion	268
	9.3.2 Fehlersimulation	269
	9.3.3 Testbarkeitsmaße und Zufallstests	269
	9.3.4 Automatische Testmustererzeugung	270
	9.3.5 Diagnostische Tests	270
	9.3.6 Testmethoden ohne Haftfehlerannahme	271
	9.3.7 Teststrategien und Produktqualität	272
9.4	<i>Prüfgerechter Entwurf</i>	273
	9.4.1 Prüfpfadbasierender Entwurf	273
	9.4.2 Ad-hoc-Techniken des prüfgerechten Entwurfs	275
	9.4.3 Verlustleistung im Testbetrieb	275
9.5	<i>Selbsttest und eingebetteter Test</i>	276
	9.5.1 Prüfpfadbasierender Selbsttest	277

9.5.2	Mustererzeugung im Selbsttest	277
9.5.3	Auswertung der Testantworten im Selbsttest	279
9.5.4	Eingebetteter Test	280
9.6	Test von Speicherfeldern	281
9.7	Standardisierung	282
9.7.1	IEEE 1149.1 Boundary Scan (JTAG)	282
9.7.2	Standard zum Test von Systems on Chip (SoC)	284
10	Realisierung digitaler Schaltwerke	286
10.1	Grundlagen	286
10.1.1	Layout	286
10.1.2	Chip-Layout	286
10.1.3	Entwurfsarten	287
10.2	Full-Custom-Entwurf	288
10.3	Semi-Custom-Entwurf	288
10.3.1	Standardzellentwurf	288
10.3.2	Gate-Array	289
10.3.3	Embedded-Array	290
10.4	Systemintegration	290
10.4.1	Anforderungen und Herausforderungen	290
10.4.2	Bereitstellung von Makros	292
10.4.3	Positionierung der Hersteller	293
10.4.4	SoC-Standards	294
10.4.5	Produktbeispiele von Makros	294
10.4.5.1	Voraussetzungen	294
10.4.5.2	Speicher	294
10.4.5.3	Prozessorkerne	295
10.4.5.4	Kommunikationscontroller	295
10.4.5.5	Schnittstellen	296
10.4.5.6	Proprietäre Bibliotheken	296
10.4.6	Erweiterungen	296
11	Digitale Halbleiterspeicher	297
11.1	Übersicht	297
11.2	Halbleiterspeicher – Einteilung, Strukturen, Kenngrößen	298
11.2.1	Einteilung von Halbleiterspeichern	298
11.2.2	Strukturen von Matrixspeichern	302
11.2.3	Kenngrößen von Halbleiterspeichern	303
11.3	Flüchtige Speicher	305
11.3.1	SRAM	306
11.3.1.1	SRAM-Speicherzelle	306
11.3.1.2	SRAM-Bausteine	307
11.3.2	DRAM	309
11.3.2.1	DRAM-Speicherzelle	309
11.3.2.2	DRAM-Bausteine	310
11.3.2.3	Weiterentwicklung von DRAM-Technologien	313
11.3.3	SDRAM und DDR-RAM	316
11.3.3.1	SDRAM	316
11.3.3.2	Ansätze zur Erhöhung der Datentransferrate	317

11.3.3.3	DDR-RAM	317
11.3.3.4	Rambus DRAM (RDRAM)	318
11.3.4	Kenngrößen von SRAM und DRAM	319
11.3.5	Weiterentwicklungen flüchtiger Speicher	320
11.4	<i>Nichtflüchtige Speicher</i>	321
11.4.1	Maskenprogrammierte ROM	322
11.4.2	PROM	324
11.4.3	EPROM	325
11.4.3.1	EPROM-Speicherzelle	325
11.4.3.2	Programmierung der FAMOS-Speicherzelle	326
11.4.3.3	Lesen einer FAMOS-Speicherzelle	326
11.4.3.4	Löschen einer FAMOS-Zelle	326
11.4.3.5	EPROM-Bausteine	327
11.4.4	EEPROM	327
11.4.4.1	EEPROM-Speicherzellen	327
11.4.4.2	Programmieren von EEPROM-Zellen	328
11.4.4.3	Löschen von EEPROM-Zellen	329
11.4.4.4	Lesen von EEPROM-Zellen	329
11.4.4.5	EEPROM-Baustein	329
11.4.5	Flash-EEPROM	330
11.4.5.1	Flash-EEPROM-Speicherzelle	330
11.4.5.2	Flash-Architekturen	331
11.4.5.3	Flash-Bausteine	333
11.4.5.4	Weiterentwicklungen der Flash-Technologie	334
11.5	<i>NVRAM/NOVRAM</i>	335
11.5.1	Überblick	335
11.5.2	Flüchtige RAM-Speicher mit Energiespeichern	335
11.5.3	RAM-/EEPROM-(Flash-EEPROM-)Architekturen	335
11.5.4	Ferroelectric RAM (FeRAM/FRAM)	336
11.5.5	Magneto-resistives RAM (MRAM)	337
11.5.6	Phase Change RAM (PCRAM, PRAM)	339
11.6	<i>Entwicklungstrends</i>	339
12	Mikroprozessortechnik	341
12.1	<i>Einführung</i>	341
12.1.1	Bestandteile eines Mikrocomputers	342
12.1.2	Gegenstand der Mikroprozessortechnik	344
12.1.3	Historische Entwicklung	344
12.1.4	Differenzierung von Mikroprozessoren	347
12.2	<i>Aufbau und Funktion einfacher Mikroprozessoren</i>	350
12.2.1	Komponenten eines Mikroprozessors	350
12.2.1.1	Register	350
12.2.1.2	ALU	352
12.2.1.3	Steuerwerk	354
12.2.1.4	Adresswerk	355
12.2.1.5	Systembus	356
12.2.2	Ausgewählte Funktionsprinzipien	357
12.2.2.1	Ablauf der Befehlsabarbeitung	357
12.2.2.2	Bussteuerung	359

12.2.2.3	Stackfunktion	362
12.2.2.4	Polling und Interrupt-Steuerung	364
12.2.3	Basis-Architekturen	365
12.2.3.1	Vorbemerkungen	365
12.2.3.2	CISC-Prozessoren	366
12.2.3.3	RISC-Prozessoren	367
12.3	<i>Programmiermodell eines Mikroprozessors</i>	368
12.3.1	Registersatz	368
12.3.2	Speichermodell	370
12.3.3	Befehlssatz	371
12.3.4	Adressierungsarten	372
12.4	<i>Erhöhung der Verarbeitungsleistung</i>	373
12.4.1	Pipelining	374
12.4.2	Cache-Speicher	376
12.4.3	Superskalare Prozessoren	378
12.4.4	Multicore-Prozessoren	380
12.5	<i>Architekturmerkmale eines ausgewählten Mikroprozessors</i>	382
12.6	<i>Trends</i>	386
13	Architekturen programmierbarer Logikbausteine	388
13.1	<i>Programmierbare Logikbausteine</i>	388
13.1.1	Allgemeines PLD-Modell	388
13.1.2	Basisblöcke	390
13.1.2.1	Logikblöcke in Look-Up-Table-Struktur	390
13.1.2.2	Logikblöcke in PAL-Struktur	390
13.1.2.3	Logikblöcke mit Multiplexer	391
13.1.2.4	Speicherfunktion mit Bypass	392
13.1.2.5	Aufbau des konfigurierbaren Routings	392
13.1.3	Input-/Output-Blöcke	393
13.1.3.1	Speicher- und Pufferfunktionen bei I/O	393
13.1.3.2	Elektrische Anpassungen im I/O-Block	394
13.1.4	Programmiertechnologien	395
13.1.4.1	Pass-Transistoren	396
13.1.4.2	Technologien im PLD-Codespeicher	396
13.1.5	Aufbau von Simple- und High-Density-PLDs	398
13.1.5.1	Simple-PLDs	399
13.1.5.2	High-Density-PLDs	399
13.1.6	Klassifizierungen	400
13.1.6.1	Klassifizierung nach Mikroarchitektur	400
13.1.6.2	Klassifizierung nach Programmierbarkeit	401
13.1.6.3	Weiterentwicklungen	402
13.2	<i>Übersicht zu Herstellern von PLDs</i>	403
13.2.1	Programmierbare Logikbausteine	403
13.2.2	Software-definierte Mikroprozessorkerne	404
13.3	<i>Simple Programmable Logic Devices (SPLD)</i>	405
13.3.1	GAL/PAL 16V8	405
13.3.2	GAL/PAL 22V10	407
13.4	<i>Complex Programmable Logic Devices (CPLD)</i>	408
13.4.1	Basisarchitektur	408

13.4.2	Erweiterungen	410
13.4.2.1	Erweiterung der PAL-Struktur	410
13.4.2.2	Integration von SRAM-basierten Datenspeicher	412
13.4.2.3	Hierarchische Organisation des Bausteins	413
13.5	<i>Field-Programmable Gate Arrays (FPGA)</i>	413
13.5.1	Basisarchitektur	413
13.5.2	Erweiterungen	415
13.5.2.1	Zusammenfassung der Look-Up Tables (LUT)	415
13.5.2.2	Integration von SRAM-basierten Datenspeicher	416
13.5.2.3	Integration von Elementen zur arithmetischen Verarbeitung	416
14	Digital/Analog-Umsetzer und Analog/Digital-Umsetzer	417
14.1	<i>Grundlagen der Digitalisierung und Analogisierung</i>	417
14.1.1	Digitale Systeme mit ADC und DAC	417
14.1.2	Abtastung, Quantisierung und Rekonstruktion	419
14.1.3	Weitere Kenngrößen von ADC und DAC	424
14.2	<i>Digital/Analog-Umsetzer (DAC)</i>	425
14.2.1	Grundprinzipien der Digital/Analog-Umsetzung	425
14.2.2	Umsetzer mit Widerstandskettenleitern	426
14.2.3	Umsetzer mit geschalteten Stromquellen	428
14.2.4	Umsetzer mit Pulsweitenmodulator	429
14.2.5	Umsetzer mit Sigma-Delta-Modulation	430
14.2.6	DAC im Signalweg	431
14.2.7	Stand der Technik	432
14.3	<i>Analog/Digital-Umsetzer</i>	432
14.3.1	Grundprinzipien der Analog/Digital-Umsetzung	433
14.3.2	Umsetzer mit Parallelverfahren	435
14.3.3	Parallelumsetzer mit Pipeline	437
14.3.4	Umsetzer mit sukzessiver Approximation	438
14.3.5	Umsetzer mit Integration	440
14.3.6	Umsetzer mit Sigma-Delta-Modulator	442
	Abkürzungsverzeichnis	444
	Literaturverzeichnis	453
	Sachwortverzeichnis	467