

# HANSER



## Leseprobe

zu

## Grundlagen der Digitaltechnik

von Gerd Wöstenkühler

Print-ISBN: 978-3-446-47867-1

E-Book-ISBN: 978-3-446-47884-8

Weitere Informationen und Bestellungen unter

<https://www.hanser-kundencenter.de/fachbuch/artikel/9783446478671>

sowie im Buchhandel

© Carl Hanser Verlag, München

# Vorwort zur dritten Auflage

Unsere Welt wird in zunehmendem Maße digitalisiert. Moderne Verfahren ermöglichen den Einsatz immer komplexerer Bausteine. Hiermit können vorhandene Realisierungen preiswerter erstellt, mit zusätzlichen Funktionen ausgestattet und/oder durch digitale Steuerungen ersetzt werden. Die Werkzeuge zur Erstellung dieser digitalen Funktionen und Steuerungen verwenden immer häufiger Abstraktionen. Die Kenntnisse der elementaren Grundsaltungen ermöglichen eine effektivere Nutzung der eingesetzten Tools.

Dieses Buch vermittelt die Grundlagen digitaler Funktionen und Steuerungen. Es ist nicht das Ziel, komplexe Entwurfswerkzeuge durch manuelle Synthese zu ersetzen, sondern die Kenntnisse über elementare Komponenten und Strukturen zu vermitteln, mit denen moderne Entwurfswerkzeuge effizienter eingesetzt werden können.

Die Inhalte des Buches basieren auf dem Lehrplan der Grundlagen-Vorlesungen „Digitaltechnik“ und „Digitale Systeme“, die ich viele Jahre an der Hochschule Harz in Wernigerode gehalten habe. Zielgruppe sind Studierende elektrotechnischer Bachelor-Studiengänge, aber auch interessierte Studierende anderer technischer Ausbildungsrichtungen. Das Verständnis digitaler Grundlagen wird durch eine schrittweise Vertiefung und umfangreiche Übungsmöglichkeiten vermittelt. Das Buch eignet sich neben der Vorlesungsbegleitung auch zur Prüfungsvorbereitung und zum Selbststudium.

Die dritte Auflage ist eine deutliche Erweiterung der zweiten Auflage. Wesentliche Punkte sind die Fehlererkennungs- und Korrekturverfahren mit Parity- und CRC-Prüfung, eine Erweiterung der Minimierung mit KV-Diagrammen für Schaltnetze mit schaltbarem Inverter am Ausgang (XOR-Verknüpfung), eine Erweiterung der Anwendungsbeispiele bis zur Arithmetisch-logischen Einheit (ALU) und die Unterstützung der Funktionsüberprüfung mithilfe der Simulation mit Logisim (bewährte kostenfreie Simulationssoftware). Für diese Logisim-Anwendungen steht auf *plus.hanser-fachbuch.de* Begleitmaterial zur Verfügung, der Zugangscode ist auf der ersten Seite des Buches abgedruckt.

Mein Dank geht an die Mitarbeiter des Hanser Verlages, Frau Mirja Werner, die dieses Werk initiiert hat, Herrn Dr. Martin Feuchte für die Betreuung während der Abschlussphase der ersten Auflage und Frau Franziska Jacob für die Betreuung sowie Frau Franziska Kaufmann für die technische Realisierung der zweiten Auflage. Den Anstoß zur dritten Auflage verdanke ich Herrn Frank Katzenmayer, der unterstützt von Frau Christina Kubiak verlagsseitig die Überarbeitung betreut hat. Auch bedanke ich mich bei meiner Frau für die Unterstützung bei der Korrektur des Manuskripts und ihr Verständnis, dass ich viel Zeit in dieses Buch investiert habe.

Paderborn, Januar 2024

*Gerd Wöstenkühler*

# Inhalt

<b>Vorwort zur dritten Auflage</b> .....	<b>V</b>
<b>1 Einleitung</b> .....	<b>1</b>
1.1 Analoge und digitale Darstellungsformen .....	1
1.1.1 Analoge Größendarstellung .....	1
1.1.2 Digitale Größendarstellung .....	2
1.2 Binäre und logische Zustände .....	3
1.3 Zahlensysteme .....	5
1.4 Codierungen .....	11
1.4.1 Binär Codierte Dezimalziffer .....	11
1.4.2 (m aus n)-Code .....	13
1.4.3 Gray-Code .....	15
1.5 Betrachtung unabhängiger binärer Größen .....	17
1.6 Fehlererkennende und fehlerkorrigierende Verfahren .....	21
1.6.1 Fehlermodelle .....	21
1.6.2 Mehrfachübertragung .....	22
1.6.3 Parity-Ergänzung .....	23
1.6.4 Blockcheck .....	26
1.6.5 Fehlerkorrigierende Bewertung .....	28
1.6.6 Fehlerkorrigierender Code nach Hamming .....	29
1.6.7 CRC-Summe .....	30
1.7 Verarbeitungsgeschwindigkeit .....	34
1.8 Aufgaben .....	37

<b>2</b>	<b>Logische Verknüpfungen</b>	<b>39</b>
2.1	Grundfunktionen und Grundglieder	40
2.1.1	UND-Verknüpfung	40
2.1.2	ODER-Verknüpfung	42
2.1.3	NEGATION	43
2.1.4	Verstärker	44
2.2	Zusammengesetzte Elemente	45
2.2.1	NAND-Verknüpfung	45
2.2.2	NOR-Verknüpfung	46
2.2.3	ANTIVALENZ-Verknüpfung	47
2.2.4	ÄQUIVALENZ-Verknüpfung	49
2.2.5	Implikation	50
2.2.6	Inhibition	51
2.2.7	Verknüpfungen bei Gliedern mit zwei Eingängen	51
2.2.8	Wichtige Glieder mit mehr als zwei Eingängen	53
2.3	Schaltungsanalyse	55
2.4	Aufgaben	57
<b>3</b>	<b>Schaltalgebra</b>	<b>59</b>
3.1	Variable und Konstante	59
3.2	Rechenregeln	61
3.2.1	Postulate	61
3.2.2	Theoreme der Schaltalgebra	62
3.2.3	Kommutativgesetz	62
3.2.4	Assoziativgesetz	63
3.2.5	Distributivgesetz	64
3.2.6	De-Morgansche-Gesetze	64
3.2.7	Bindungsregel	65
3.3	Aufgaben	67
<b>4</b>	<b>Schaltungssynthese</b>	<b>69</b>
4.1	Normalformen	69
4.1.1	Disjunktive Normalform	70
4.1.2	Konjunktive Normalform	71

4.2	Schaltungsvereinfachung .....	72
4.2.1	Algebraische Vereinfachung .....	73
4.2.2	Grafische Vereinfachung .....	74
4.2.2.1	KV-Diagramm mit zwei Variablen .....	76
4.2.2.2	KV-Diagramm mit drei Variablen .....	77
4.2.2.3	KV-Diagramm mit vier Variablen .....	78
4.2.2.4	KV-Diagramm mit fünf Variablen .....	80
4.2.2.5	KV-Diagramm mit sechs und mehr Variablen .....	81
4.2.2.6	Don't-Care-Felder .....	83
4.2.2.7	Minimierung mit XOR-Gate .....	85
4.2.2.8	KV-Diagramm und Gray-Code .....	86
4.2.3	Algorithmische Umformung (Quine-McClusky) .....	87
4.3	Aufgaben .....	91
<b>5</b>	<b>Schaltnetze .....</b>	<b>95</b>
5.1	Darstellung .....	96
5.2	Codeumsetzer .....	98
5.3	Datenselektor .....	100
5.4	Demultiplexer .....	103
5.5	Adressdecoder .....	104
5.6	Addierer .....	108
5.6.1	Halbaddierer .....	108
5.6.2	Volladdierer .....	110
5.7	Komparator .....	112
5.8	Arithmetisch-logische Einheit .....	117
5.9	Aufgaben .....	119
<b>6</b>	<b>Zeitabhängige binäre Schaltungen .....</b>	<b>123</b>
6.1	Übersicht .....	123
6.2	RS-Flipflop (RS-FF) .....	128
6.2.1	Realisierung mit NOR-Gatter .....	128
6.2.2	Realisierung mit NAND-Gatter .....	132

6.3	Taktzustandsgesteuerte Flipflops . . . . .	134
6.3.1	RS-FF (taktzustandsgesteuert) . . . . .	134
6.3.2	D-FF (taktzustandsgesteuert) . . . . .	137
6.3.3	JK-FF (taktzustandsgesteuert). . . . .	140
6.3.4	JK-MS-FF (taktzustandsgesteuert) . . . . .	142
6.4	Taktflankengesteuerte Flipflops . . . . .	144
6.4.1	RS-FF (einflankengesteuert) . . . . .	145
6.4.2	D-FF (einflankengesteuert) . . . . .	147
6.4.3	JK-FF (einflankengesteuert) . . . . .	151
6.4.4	T-FF (einflankengesteuert) . . . . .	151
6.4.5	RS-MS-FF (zweiflankengesteuert) . . . . .	152
6.4.6	JK-MS-FF (zweiflankengesteuert) . . . . .	153
6.5	Charakteristische Gleichung. . . . .	154
6.6	Synthese-Tabellen . . . . .	156
6.7	Monostabile Kippstufen. . . . .	157
6.8	Taktgeneratoren . . . . .	161
6.9	Aufgaben. . . . .	162
<b>7</b>	<b>Einfache sequenzielle Schaltungen. . . . .</b>	<b>165</b>
7.1	Zählerschaltungen . . . . .	165
7.1.1	Asynchrone Zähler . . . . .	166
7.1.2	Synchrone Zähler . . . . .	172
7.2	Frequenzteiler . . . . .	182
7.3	Schieberegister. . . . .	187
7.4	Aufgaben. . . . .	195
<b>8</b>	<b>Getaktete Schaltwerke. . . . .</b>	<b>199</b>
8.1	Einführung . . . . .	199
8.2	Mealy-Automat . . . . .	206
8.3	Moore-Automat. . . . .	215
8.4	Beispiel (ALU-Anwendung) . . . . .	221
8.5	Aufgaben. . . . .	226

<b>9</b>	<b>Hardware</b> .....	<b>231</b>
9.1	Einführung .....	231
9.2	Schaltkreisentwicklung .....	232
9.3	Physikalische Randbedingungen .....	238
9.3.1	Spannungsbereiche .....	238
9.3.2	Strombereiche .....	239
9.3.3	Geschwindigkeitsbereiche .....	242
9.3.4	Gehäuse .....	245
9.4	Spezielle Ausgänge .....	248
9.4.1	Tri-State-Ausgang .....	249
9.4.2	Open-Kollektor-Ausgang .....	251
9.5	Spezielle Eingänge .....	254
9.6	Strukturen komplexer Bausteine .....	259
<b>10</b>	<b>Musterlösungen</b> .....	<b>267</b>
10.1	Lösungen zu Kapitel 1 .....	267
10.2	Lösungen zu Kapitel 2 .....	272
10.3	Lösungen zu Kapitel 3 .....	276
10.4	Lösungen zu Kapitel 4 .....	280
10.5	Lösungen zu Kapitel 5 .....	291
10.6	Lösungen zu Kapitel 6 .....	299
10.7	Lösungen zu Kapitel 7 .....	304
10.8	Lösungen zu Kapitel 8 .....	314
	<b>Verzeichnis von Formelzeichen und Abkürzungen</b> .....	<b>325</b>
	<b>Literatur</b> .....	<b>333</b>
	<b>Index</b> .....	<b>335</b>

Für die Logisim-Anwendungen steht auf [plus.hanser-fachbuch.de](http://plus.hanser-fachbuch.de) Begleitmaterial und ein Anhang zur Verfügung. Der Zugangscode ist auf der ersten Seite des Buches abgedruckt.





# 1

## Einleitung

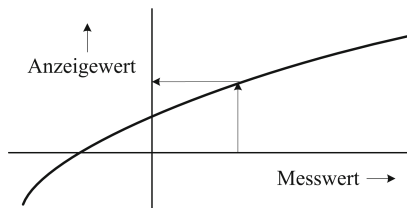
Digitaltechnische Realisierungen sind in der heutigen Zeit nicht mehr wegzudenken. Man ist es gewohnt, Handy und Digitalfernseher zu verwenden. Die Funktionsweise ist den meisten Benutzern nicht bekannt und wird für die Benutzung digital arbeitender Geräte auch nicht benötigt. Technikinteressierte möchten jedoch mehr über die Funktionsweise wissen. Hierzu könnte man ein komplexes digitaltechnisches Gerät in seine Funktionsgruppen und weiter in seine Einzelkomponenten auflösen und deren Wirkungsweise vertiefen (**Top-Down Design**). Anschließend weiß man, wie dieses Gerät funktioniert, aber die Anpassung der Signalverarbeitung für weitere Anwendungen wurde nicht trainiert. Dieses Buch verwendet die andere Entwurfsrichtung. Basierend auf den Grundelementen wird deren Zusammenschaltung zu einfachen Funktionsgruppen beschrieben und erläutert, sodass hieraus komplexere Geräte oder deren Komponenten für verschiedene Anwendungen erstellt werden können (**Bottom-Up Design**). Dieses Buch beschreibt die rudimentären Elemente und grundlegenden Funktionsgruppen der Digitaltechnik. In der Einleitung werden Begriffe erläutert.

### ■ 1.1 Analoge und digitale Darstellungsformen

#### 1.1.1 Analoge Größendarstellung

Viele uns bekannte Größen sind analoger Natur. Hierunter fallen u. a. Abstand, Temperatur, elektrische Spannung etc. Zur Beschreibung dieser Größen wurden analoge Darstellungen verwendet, wie Länge an einem Referenzmaßstab (Metermaß), Flüssigkeitsthermometer, Zeigerinstrumente etc. Die verwendeten Wertangaben in diesem Bereich gehören zu den reellen Zahlen  $\mathbb{R}$ . Die Zuordnung zwischen Messwert (z. B. elektrische Spannung) und Darstellungswert (z. B. Winkel der Zeigerposition) ist eine kontinuierliche Funktion. Bild 1.1 zeigt beispielhaft

den Zusammenhang einer analogen Abbildungsfunktion. Theoretisch könnte bei unendlicher Genauigkeit vom Anzeigewert auf den exakten verursachenden Messwert zurückgeschlossen werden. Grenzen sind durch die Ablesegenauigkeit gegeben, die häufig bei der dritten Stelle aufhört. Bei Mess- und Übertragungssystemen gibt es noch den unteren und oberen Grenzwert, die den Wertebereich der Anordnung vorgeben. Vorteil der analogen Darstellung ist u. a. die schnelle Erfassung sowie die Erkennung von Tendenzwerten (z. B. bei analoganzeigenden Messgeräten). Dieser Vorteil wird häufig bei der analogen Ausgabe digitaler Größen verwendet, wie z. B. bei der analoganzeigenden Digitaluhr.



**Bild 1.1**

Abbildungsfunktion analog  $\rightarrow$  analog

## 1.1.2 Digitale Größendarstellung

Die Bezeichnung „digital“ kommt aus dem Lateinischen (lat.: digitus: Finger (oder Zehe), zählen mit den Fingern). Sie beschreibt eine diskrete Größendarstellung, also eine abzählbare Menge. Einige Größen sind zählbar (z. B. Anzahl von Eiern (Grundmenge ein Ei)), andere werden durch Quantisierung analoger Größen in zählbare digitale Einheiten unterteilt (z. B. Gewichtsklassen von Eiern (Klassen S, M, L oder XL)). Verwendet man sehr viele Klassen oder Stufen (z. B. bei Digitalwaagen), so erhält man bei vernachlässigbarer Klassenbreite bzw. Stufenhöhe einen nahezu kontinuierlichen Verlauf (ähnlich der analogen Abbildung). Bild 1.2 zeigt den Zusammenhang einer digitalen Abbildungsfunktion. Bestimmte Wertebereiche werden einem Digitalwert (einer Stufe) zugeordnet. Die Werteangaben vom Messwert gehören zu den reellen Zahlen  $\mathbb{R}$  (kontinuierliche, analoge Größe) und die Angaben vom Anzeigewert zu den ganzen Zahlen  $\mathbb{Z}$  (diskrete, digitale Größe). Eine exakte Rekonstruktion des verursachenden Analogwertes ist hierbei prinzipiell nicht möglich, da ein Digitalwert immer einen Bereich der analogen Eingangsgröße abdeckt. Bei der Rekonstruktion wird normalerweise der Mittelwert des Wertebereiches der Stufe als Näherungswert verwendet. Ein anschaulicher Vergleich von analogen und digitalen Größen ist eine Treppe mit einer mitgeführten Fahrradrampe. Die Rampe gibt einen analogen Wert der Höhendifferenz wieder und die Stufen einen digitalen. Zu jeder digitalen Stufe gehört ein Bereich der zugehörigen analogen Höhendifferenz.

Eine häufig zu findende Darstellung entspricht Bild 1.3. Der Messwert in dem Bereich von  $X_{\min}$  bis  $X_{\max}$  wird in  $N$  äquidistante (gleichgroße) Bereiche mit der Breite  $Q$  unterteilt. Das **Quant**  $Q$  ist normalerweise  $Q = (X_{\max} - X_{\min})/N$ .

Der Digitalwert wird durch eine Zahl repräsentiert (Zahlendarstellungen werden im nächsten Unterkapitel erläutert), in der digitalen Welt ist dies häufig eine Dualzahl. Die Dualzahl besteht aus  $J$  binären Stellen, wodurch sich eine maximal verwendbare Anzahl von  $N = 2^J$  Stufen ergibt. In Bild 1.3 ist dieser Zusammenhang mit einem 3-stelligen Dualcode dargestellt.

Durch die ziffernmäßige Darstellung des Digitalwertes ist eine eindeutige Lesbarkeit gegeben (keine Ableserunterschiede zwischen erster und letzter Stelle). Die Auflösung ergibt sich durch die Quantisierungsstufe  $Q$ .

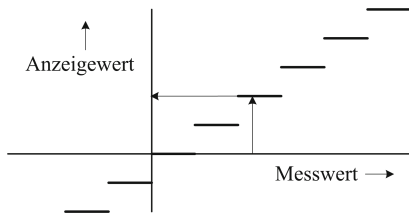
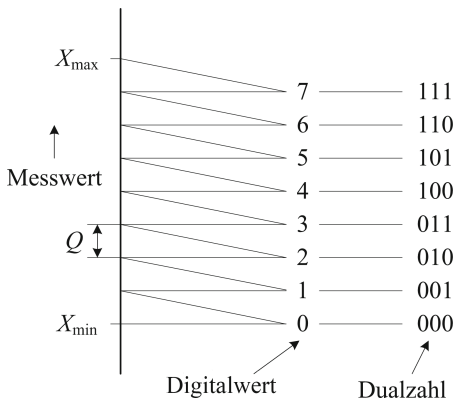
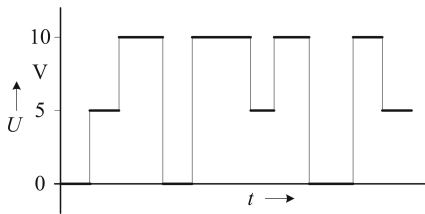
**Bild 1.2**Abbildungsfunktion analog  $\rightarrow$  digital**Bild 1.3**

Abbildung einer Messgröße in ein digitales Signal bzw. einen digitalen Signalwert

## ■ 1.2 Binäre und logische Zustände

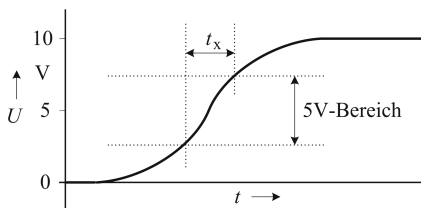
Eine digitale Größe besteht aus abzählbaren Elementen (Stufen). Ein digitaler Spannungsverlauf ist somit eine Folge von diskreten Spannungswerten (theoretisch kein kontinuierlicher Übergang). Analoge Spannungswerte repräsentieren hierbei diskrete Werte. Die Anzahl der Stufen ist beliebig, jedoch begrenzt durch die Unterscheidungsmöglichkeit (begrenzte Genauigkeit bei der Spannungsmes-

sung). Bild 1.4 zeigt einen digitalen Spannungsverlauf mit drei Zuständen (0 V, 5 V und 10 V). Problematisch sind bei entsprechender Verwendung die Übergänge zwischen 0 V und 10 V und zwischen 10 V und 0 V. Aufgrund des analogen Verhaltens von Spannungswerten kann dieser Übergang nicht in der Zeit  $t=0$  erfolgen. Die Zeit ist ebenfalls eine analoge Größe und dadurch kann nur ein quasi digitales Signal realisiert werden.



**Bild 1.4** Digitales Spannungssignal mit drei Zuständen

Es wird für den Übergang immer ein gewisses, wenn auch sehr kurzes Zeitintervall benötigt. Bei schnellen Signalfolgen (häufiger Wechsel zwischen den Spannungswerten, Zeitspanne für Spannungsänderungen nicht mehr vernachlässigbar) ist der Übergang über die 5 V-Stufe problematisch. Bild 1.5 zeigt einen analogen Übergang zwischen 0 V und 10 V mit der ungewünschten Übergangszeit  $t_x$ . Der für die 5 V-Stufe verwendete Spannungsbereich (Messgenauigkeit dieser Stufe etc.) wird durchlaufen und dies könnte zur Detektion dieser nicht im eigentlichen Spannungsverlauf angezeigten Spannungsstufe führen.



**Bild 1.5** Analoges Übergang eines Spannungswechsels von 0 V auf 10 V

Ein digitales Signal mit mehr als zwei Zuständen ist deshalb für einfache Realisierungen nicht geeignet. Zwei Spannungsbereiche lassen sich durch einen Übergang (einen Schwellwert) unterscheiden. Ein zweiwertiges Signal hat zwei mögliche Zustände und wird deswegen binäres Signal genannt (lat.: binär: aus zwei Einheiten bestehend). Die allgemein angewandte Digitaltechnik arbeitet mit binären Signalen.

Vorteil dieser Signale ist, dass sich die zwei Bereiche leicht unterscheiden und, was häufig vorkommt, zur Vermeidung von Störeinflüssen vergleichsweise gut verstärken lassen (ein durch Störeinflüsse „verschwommenes“ Signal wird rekonstruiert, s. auch Abschnitt 9.3.1 Spannungsbereiche und in Abschnitt 9.5 Spezielle Ein-

gänge, Schmitt-Trigger-Eingang). Der negativere Bereich wird mit L (Low) und der positivere Bereich mit H (High) gekennzeichnet. Diesen Bereichen müssen logische Zustände zugeordnet werden. Bei positiven Betriebsspannungen entspricht normalerweise H der logischen 1 (wahr, zutreffend oder ja) und L der logischen 0 (falsch, nicht zutreffend oder nein). Es existiert auch die umgedrehte Zuordnung, die in der Regel mit negativer Betriebsspannung gekoppelt ist. Sie wird als **negative Logik** ( $0\triangleq H, 1\triangleq L$ ) bezeichnet. Diese Zuordnung ist bei den derzeitigen Realisierungen eigentlich nicht mehr anzutreffen und man nimmt stillschweigend die **positive Logik** ( $1\triangleq H, 0\triangleq L$ ) an. Bei der Diskussion logischer Verknüpfungen werden 0 und 1 und bei der hardwaremäßigen Realisierung mit Logikelementen die Bezeichnungen L und H verwendet.



Binäre Systeme sind in fast allen technischen Geräten vorhanden.

#### **Vorteile**

- Verarbeitet werden nur zwei Werte (0 und 1 bzw. L und H)
- Impulse (Rechteckimpulse) sind einfach und vollständig regenerierbar
- Einfache Verstärkung (Schalter, Relais, Transistoren im Schaltbetrieb)
- Verknüpfen, verteilen und sortieren von Informationen mittels logischer Schaltungen
- Speicher einfach realisierbar
- Mathematische Probleme werden auf Addition zurückgeführt und gelöst
- Verschiedene mathematische Probleme können mit derselben Schaltung gelöst werden
- Genauigkeit kann durch Vergrößern der Stellenzahl nahezu beliebig erhöht werden

#### **Nachteile**

- Prinzipieller Fehler durch Rasterung (Quantisierungsstufe  $Q$  bestimmt Fehlergröße)

## ■ 1.3 Zahlensysteme

### **Zahlendarstellungen**

Im Laufe der Zeit haben sich verschiedene, teilweise anwendungsspezifische Zahlensysteme entwickelt, von denen hier einige exemplarisch vorgestellt werden.

In der **Abzähl Schreibweise** werden gleichwertige Striche verwendet, wie es von Kaffeelisten oder Bierdeckeln bekannt ist. Zur Übersicht gibt es die Bündelung, bei der nach vier Strichen der fünfte über diese vier gezeichnet wird und diese Gruppe (dieses Symbol) eine Fünf repräsentiert. Die Position der Striche ist ohne Bedeutung. Diese Darstellung verwendet den Zahlenraum  $\mathbb{N}$  (Natürliche Zahlen) und ist nur für kleine Mengen einsetzbar (nicht bis unendlich).

Das **Römische Zahlensystem** deckt ebenfalls nur einen begrenzten positiven Ganzzahlenbereich aus  $\mathbb{N}$  ab und verwendet die Zweier- und Fünfer-Bündelung wie in Tabelle 1.1 angegeben.

**Tabelle 1.1** Bündelungen des Römischen Zahlensystems

5	mal	I	wird durch	V	dargestellt	(= 5)
2	mal	V	wird durch	X	dargestellt	(= 10)
5	mal	X	wird durch	L	dargestellt	(= 50)
2	mal	L	wird durch	C	dargestellt	(= 100)
5	mal	C	wird durch	D	dargestellt	(= 500)
2	mal	D	wird durch	M	dargestellt	(= 1000)

Außerdem wird die Stellenschreibweise verwendet. Hierdurch entscheidet die Position über den Wert der Zahl. Die Zahl Vier wird z. B. nicht durch IIII (wie es auf einigen analoganzeigenden Uhren zu finden ist) sondern durch IV ( $5 - 1$ ) dargestellt und unterscheidet sich aufgrund der Stellenschreibweise von der Sechs dargestellt durch VI ( $5 + 1$ ). Die 1 (Symbol I) wird in der linken Position abgezogen und in der rechten Position hinzuaddiert. Das Zahlensystem ist unhandlich und eignet sich nicht für Rechenoperationen.

Bei der **Stellenschreibweise** ergibt sich der Wert nicht nur durch die verwendeten Symbole wie bei den Römischen Zahlen, sondern durch die Position innerhalb der Darstellung. Das Bildungsgesetz zeigt Formel 1.1.

$$N = \left( \sum_{j=0}^{j-1} n_j \cdot W_j \right) \quad (1.1)$$

Hierbei hat jede Stelle  $j$  einen Wert  $W_j$ . Bei der Angabe 01:02:03:04 muss der Wert jeder Stelle bekannt sein. Hier könnte es Tag:Stunde:Minute:Sekunde sein. Der Wertebereich der linken Stelle mit dem Wert 1 ist der Tag, der mit dem Faktor 24 auf eine Stundenzahl umgerechnet werden kann. Der Wert 2 (Werte von 0 bis 23 sind an dieser Stelle möglich) kann mit dem Faktor 60 auf Minuten umgerechnet werden. Der Wert 3 (Werte von 0 bis 59 sind an dieser Stelle möglich) kann mit dem Faktor 60 auf Sekunden umgerechnet werden. Der angegebene Wert umgerechnet in die kleinste Einheit, in diesem Fall die Sekunde, ergibt:

$$N = (1 \cdot (24 \cdot 60 \cdot 60) + 2 \cdot (60 \cdot 60) + 3 \cdot (60) + 4 \cdot (1)) = 93784 \quad (1.2)$$

Rechenoperationen mit der Stellenschreibweise sind aufgrund der Umrechnungsfaktoren, die z. B. bei der Umrechnung von Monaten in Tage vom jeweiligen Monat abhängen, ungünstig. Innerhalb der jeweiligen Stelle wird der Wert in dem genannten Beispiel bereits mit dem Polyadischen Zahlensystem beschrieben.

Das Bildungsgesetz des **Polyadischen Zahlensystems** für positive Ganzzahlen  $\mathbb{N}_0$  (es existiert auch ein Symbol für die 0) zeigt Formel 1.3. Hierbei ergibt sich die Wertigkeit einer jeweiligen Stelle aus dem Basiswert  $B$  mit der Stellenzahl  $j$  als Exponent.

$$N = \left( \sum_{j=0}^{J-1} n_j \cdot B^j \right) \quad (1.3)$$

In dem normalerweise verwendeten **Zehnersystem** ist  $B=10$  und  $n$  ein Element der Menge  $\{0, 1, 2, 3, 4, 5, 6, 7, 8, 9\}$ . Die Zahl 4711 ist eine 4-stellige Zahl ( $J=4$ ). Die Darstellung des Wertes ist trivial und soll hier zur Verdeutlichung des Rechenweges verwendet werden.

$$N = (4 \cdot 10^3 + 7 \cdot 10^2 + 1 \cdot 10^1 + 1 \cdot 10^0) = 4711 \quad (1.4)$$

Diese Zahlendarstellung kann für verschiedene Basiswerte verwendet werden. In der binären Darstellung erhält man das **Dualsystem**. In diesem Fall ist  $B=2$  mit  $n \in \{0, 1\}$ . Die Dualzahl  $1100101_2$  (Index 2 kennzeichnet das 2er-System) hat folgenden Wert:

$$N = (1 \cdot 2^6 + 1 \cdot 2^5 + 0 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0) = 101_{10} \quad (1.5)$$

Nach dem gleichen System ist das **Oktalsystem** ( $B=8$ ,  $n \in \{0, 1, 2, 3, 4, 5, 6, 7\}$ ) aufgebaut. Im Vergleich zu dem Dualsystem werden jeweils 3 Bit (Bit  $\triangleq$  kleinste Einheit) zusammengefasst. Die Dualzahl  $1100101_2$  wird mit führenden Nullen auf ein Vielfaches von drei Stellen erweitert zu  $001\ 100\ 101$  und jede Dreiergruppe durch das zugehörige Symbol repräsentiert gemäß  $145_8$  oder  $00145$  (Null O(ktal) 145).

Gebräuchlicher ist das **Sedezimalsystem** oder **Hexadezimalsystem**. Hierbei ist  $B=16$  und  $n \in \{0, 1, 2, \dots, 8, 9, A, B, C, D, E, F\}$ . Da 16 Zeichen benötigt werden, ergänzt man die gebräuchlichen Ziffern um die ersten sechs Buchstaben des Alphabets. Im Vergleich zu dem Dualsystem werden hier vier Stellen zu einer Hexadezimalziffer zusammengefasst. Die Dualzahl  $1100101_2$  wird wieder um führende Nullen erweitert zu  $0110\ 0101$  und jede Vierergruppe durch das zugehörige Symbol repräsentiert gemäß  $65_{16}$  oder  $0X65$  (Hexadezimal 65).

Im Weiteren werden diese Zahlensysteme nicht zum Rechnen verwendet. Sie dienen gegebenenfalls zur verkürzten Schreibweise verwendeter Bitkombinationen.



Werden diese Zahlen übertragen, so muss der Empfänger wissen, in welcher Reihenfolge die Ziffern übertragen werden. Das höchstwertige Bit (in der Regel links) ist das MSB (**M**ost **S**ignificant **B**it) und das niederwertigste Bit (in der Regel rechts) ist das LSB (**L**east **S**ignificant **B**it).

Die Zahlendarstellung kann auch für Nachkommastellen erweitert werden. Eine 5-stellige Zahl mit zwei Vor- und drei Nachkommastellen hat das in Formel 1.6 angegebene Bildungsgesetz. Ein Beispiel im Dualcode zeigt Bild 1.6. Jede Nachkommastelle reduziert hierbei die Quantisierungsstufe  $Q$  auf die Hälfte. Bei drei Nachkommastellen ist dies  $2^{-3} = 0,125$  bzw.  $\pm 0,0625$ .

$$N = \left( \sum_{n=-3}^1 n_j \cdot B^j \right) \quad (1.6)$$

Wertigkeit  $\left| \begin{array}{c|c|c|c|c} 2^1 & 2^0 & 2^{-1} & 2^{-2} & 2^{-3} \\ \hline 1 & 0,1 & 0,05 & 0,025 & 0,0125 \end{array} \right| = 1 \cdot 2 + 0 \cdot 1 + 1 \cdot 0,5 + 0 \cdot 0,25 + 1 \cdot 0,125 = 2,625$

**Bild 1.6** Beispiel einer Dualzahl mit Nachkommastellen

Im **Polyadischen Zahlensystem** können Addition und Subtraktion (Bild 1.7), Multiplikation (Bild 1.8) und Division (Bild 1.9) in gewohnter Weise durchgeführt werden. Die Rechenoperationen mit den Dualwerten (mittlerer Teil) und Dezimalwerten (rechter Teil) werden im Weiteren nicht verwendet. Die Entwicklung einer Schaltung zur Realisierung des in der Tabelle angegebenen Zusammenhangs (linker Teil) jedoch schon.

$b$	$a$	$(b+a)$				$b$	$a$	$(b-a)$			
0	0	0 0		0 1 0 0	4	0	0	0 0		1 0 1 0	10
0	1	0 1	+ 0 1 1 0	+ 6		0	1	1 1	- 0 1 1 0	- 6	
1	0	0 1	carry $\rightarrow$ 1			1	0	0 1	borrow $\rightarrow$ 1		
1	1	1 0	1 0 1 0	10		1	1	0 0	0 1 0 0	4	

**Bild 1.7** Beispiele für Addition und Subtraktion im Dual- und Dezimalsystem

$b$	$a$	$b \cdot a$					
0	0	0	1 1 · 0 1 0 1	3 · 0 5			
0	1	0	0 0 ↓ ↓ ↓ ↓	0 ↓			
0	1	0	+ 1 1 ↓ ↓ ↓ ↓	+ 1 5			
1	0	0	+ 0 0 ↓ ↓ ↓ ↓	1 5			
1	1	1	+ 1 1 ↓ ↓ ↓ ↓	1 5			
			0 1 1 1 1				

**Bild 1.8**  
Beispiel für die Multiplikation im Dual- und Dezimalsystem

$$\begin{array}{r} 1111 : 11 = 101 \\ \underline{-11} \phantom{00} \\ 01 \phantom{00} \\ \underline{-0} \phantom{00} \\ 11 \phantom{00} \\ \underline{-11} \\ 0 \end{array}$$

$$\begin{array}{r} 15 : 3 = 05 \\ \underline{-0} \phantom{00} \\ 15 \phantom{00} \\ \underline{-15} \\ 0 \end{array}$$

**Bild 1.9**

Beispiele für die Division im Dual- und Dezimalsystem

Erweitert man die Darstellung von Natürlichen Zahlen um den negativen Zahlenbereich auf Ganzzahlen (von  $\mathbb{N}_0$  nach  $\mathbb{Z}$ ), so wird ein Bit für das Vorzeichen benötigt. Dies ist das MSB (Bit mit der höchsten Wertigkeit, bisher  $2^{J-1}$ ; Wertebereich der Zahl von  $0, \dots, 2^{J-1}$ ). Mit den negativen Zahlen wird nun der Zahlenraum von  $\pm 2^{J-1} - 1$  abgedeckt, bei vier Bit von  $-7$  bis  $+7$ . Eine einfache Darstellung besteht aus Vorzeichen und Betrag wie in Tabelle 1.2 in der 3. Spalte zu sehen ist. Diese Darstellung eignet sich für eine Ausgabe eines Wertes mit Vorzeichen (z. B. für die Anzeige bei Messinstrumenten), für Berechnungen ist sie jedoch nicht geeignet.

Die nächste Variante ist das  $(b-1)$ -Komplement, auch Einerkomplement genannt. Um aus einem positiven Wert einen negativen zu erhalten, müssen hierbei alle Bits invertiert und das Vorzeichenbit hinzugefügt werden. Aus  $+3_{10}$  wird im Dualsystem mit Vorzeichenbit und drei Werte-Bits  $0\ 011_2$  für die Zahlendarstellung der positiven 3 aus dem Bereich 0 bis 7. Eine  $-3_{10}$  wird mit  $1\ 100_2$  dargestellt (die inverse Bitkombination der positiven Zahl). Das Vorzeichenbit ist bei der Betragsdarstellung und dem  $(b-1)$ -Komplement gleich, nur die Datenbits sind invertiert (s. Tabelle 1.2 in der 4. Spalte). Eine Umwandlung zwischen diesen beiden Varianten ist dadurch recht einfach. Nachteilig ist, dass in beiden Darstellungsvarianten die Null zweimal existiert.

Für mathematische Berechnungen gibt es eine günstigere Variante, das  $(b)$ -Komplement, auch Zweierkomplement genannt. Hierbei wird der negative Zahlenbereich um einen Wert in negativer Richtung verschoben und man erhält den Wertebereich bei vier Bit von  $-8, \dots, -1, 0, +1, \dots, +7$  wie in Tabelle 1.2 in der rechten Spalte dargestellt. Wertebereiche typischer Bitlängen zeigt Tabelle 1.3. Bei dieser Zahlendarstellung kann dem Vorzeichenbit wieder ein Wert zugeordnet werden, dieser ist  $-(2^{J-1})$ . Die Wertigkeiten der Bitstellen bei vier Bit im Dualcode für positive (natürliche) Zahlen von 8, 4, 2, 1 geht für positive und negative Ganzzahlen über in  $-8, 4, 2, 1$ . Die realisierbaren Werte lassen sich recht gut als Kreis darstellen, um Rechenoperationen wie Addition oder Subtraktion zu erläutern.

**Tabelle 1.2** Gegenüberstellung verschiedener Zahlendarstellungen

Wert	Dualzahl	Vorzeichen und Betrag	(b-1)-Komplement 1er-Komplement	(b)-Komplement 2er-Komplement
8	./.	./.	./.	./.
7	111	0 111	0 111	0 111
6	110	0 110	0 110	0 110
...	...	...	...	...
...	...	...	...	...
1	001	0 001	0 001	0 001
0	000	0 000	0 000	0 000
-0	./.	1 000	1 111	./.
-1	./.	1 001	1 110	1 111
...	...	...	...	...
...	...	...	...	...
-6	./.	1 110	1 001	1 010
-7	./.	1 111	1 000	1 001
-8	./.	./.	./.	1 000
-9	./.	./.	./.	./.

**Tabelle 1.3** Wertebereiche typischer Ganzzahldarstellungen

Bitanzahl (l)	Vorzeichenloser Wertebereich (unsigned)	Vorzeichenbehafteter Wertebereich (signed, (b)-Komplement)
4	0, +1, +2, ..., +14, +15	-8, ..., -1, +0, +1, ..., +7
8	0, +1, +2, ..., +254, +255	-128, ..., -1, +0, +1, ..., +127
12	0, +1, +2, ..., +4094, +4095	-2048, ..., -1, +0, +1, ..., +2047
16	0, +1, +2, ..., +65 534, +65 535	-32 768, ..., -1, +0, +1, ..., +32 767

Bild 1.10 stellt die Periodizität der Integerzahlen ohne und mit Vorzeichen dar. Wird durch Addition (Anzahl der Schritte in Richtung +, auch bei der Subtraktion einer negativen Zahl) oder Subtraktion (Anzahl der Schritte in Richtung -, auch bei der Addition einer negativen Zahl) die Bereichsgrenze überschritten, entstehen Fehler (inhärenter (lat.: inhaerens: hängen, kleben, auch: innewohnend, ureigen) Modulo- (Rest einer Ganzzahldivision, wird häufig zur Begrenzung eines Wertebereiches verwendet) Effekt (manchmal ist dieser Effekt auch gewollt). Bei Berechnungen sollte dies überwacht werden. Bild 1.11 zeigt als Beispiel einige Rechenoperationen.

# Index

## Symbole

- (1 aus 10)-Code 14
- (2 aus 5)-Code 13
- 8-4-2-1-Code 12
- (b-1)-Komplement 9
- (b)-Komplement 9

## A

- Abzähl Schreibweise 6
- Addierer 108
- Adressdecoder 104
- ALU 117
- Antivalenz 54
- ANTIVALENZ-Verknüpfung 47
- Äquivalenz 54
- ÄQUIVALENZ-Verknüpfung 49
- Arithmetisch-logische Einheit 221
- Assoziativgesetz 63
- Asynchrone Zähler 166
- Ausgang, retardierter 142, 152 f.
- Ausgangsschaltnetz 205 f.
- Ausgangstabelle 209
- Ausschaltverzögerung 160
- Automaten 199
- Axiome 61

## B

- BCD-Code 11, 83
- Bindungsregel 65
- Bipolar-Transistoren 232

## Bit

- Least Significant 8
- Most Significant 8
- Bit-Slice-Technik 110, 113, 188
- Boolesche Algebra 59
- Bottom-Up Design 1

## C

- Charakteristische Gleichung 154, 172 ff.
- Checksumme 27
- Codeumsetzer 98
- Complex Programmable Logic Devices 264
- CPLD 74
- CRC 192
- CRC-Summe 30
- Cyclic Redundancy Check 192

## D

- Datenselektor 100
- De-Morgansche-Gesetze 64
- Demultiplexer 100, 103
- Design
  - Bottom-Up 1
  - Top-Down 1
- D-FF 137, 147, 156 f.
- Diode 231
- Dioden-Transistor-Logik 233
- Disjunktion 42
- Disjunktive Normalform 69
- Distanz 12

Distributivgesetz 64, 73 ff., 88  
Don't-Care-Felder 83  
Dual In-Line 246  
Dual In-Line Package 246  
Dualsystem 7  
Dynamische Eingänge 124

## E

Einbitfehler 21, 24  
Einerkomplement 9  
Eingänge, dynamische 124  
Eingangverstärker 44  
Einschaltverzögerung 159  
Entprellen 258

## F

Fehlererkennungsverfahren 21  
Finite State Machines 199  
Fletcher's Checksum 28  
Flipflop 123, 128  
Freigabesignal 125  
Freiheitsgrade 83  
Frequenzteiler 182  
Frequenzvervielfacher 186

## G

Gegentakt-Ausgang 235  
GERADE-Element 54  
Gewicht 12  
Gleichung, charakteristische 154, 174  
Glitch 168, 172, 245  
Gray-Code 15

## H

Halbbyte 12  
Hamming-Distanz 12, 16  
Hazard 245  
Hexadezimalsystem 7

## I

Implikation 50  
Index 88  
Inhibition 51  
In System Programmable 95, 262

## J

JK-FF 151, 155 ff.  
JK-MS-FF 142, 153  
Johnson-Zähler 190

## K

Karnaugh-Veitch-Tafel 74  
Kippstufen, monostabile 157  
Koeffizientenvergleich 174  
Kombinatorische Schaltungen  
123  
Kommutativgesetz 62  
Komparator 112  
Konforme Terme 99  
Konjunktion 41  
Konjunktive Normalform 69, 72  
Konstante 59  
Kontaktdarstellung 60  
KV-Diagramm 74  
KV-Tafel 74

## L

Leuchtdiode 231  
Lichtgeschwindigkeit 34  
Logik  
- Negative 5  
- Positive 5  
Logische Variable 59  
Look Up Table 102, 265

## M

Makro-Zelle 262  
Master-FF 142  
Maxterm 71

Mealy-Automat 206  
– mit Ausgangsspeicher 211  
– mit Eingangsspeicher 213  
Medwedew-Automat 227  
Mehrbitfehler 24  
Mehrfachübertragung 22  
Mikrosekunde 34  
Millisekunde 34  
Minterm 70  
Möbius-Zähler 190  
Modulo-n-Zähler 170  
Monoflop 157, 257  
Monostabile Kippstufen 157  
Moore-Automat 215  
Multiplexer 100  
Multiplexverfahren 19

## N

NAND-Verknüpfung 45  
Nanosekunde 35  
NEGATION 43  
Negative Logik 5  
Netzwerke, 2-lagig 260  
Nibble 12  
NICHT-Element 44  
Normalform  
– Disjunktive 71  
– Kanonische 69  
– Kanonische Disjunktive 70  
– Kanonische Konjunktive 71  
NOR-Verknüpfung 46

## O

ODER-Gatter 42  
ODER-Normalform 70  
ODER-Verknüpfung 42  
Ohmsche Widerstände 231  
Oktalsystem 7  
One Cold 14  
One Hot 14, 191  
One-Shot 157  
Open-Kollektor 251  
Oszillator 186

## P

Parallel-Seriell-Umsetzung 187  
Paritätserkennung 54  
Parity-Ergänzung 24  
Periodendauer 184  
Phase Locked Loop 187  
Phasenregelschleife 187  
Pin-Grid-Array 246  
PISO 187  
PLD 74  
PLL 187  
Polyadisches Zahlensystem 7f.  
Positive Logik 5  
Postulate 61  
Primterme 89  
Product Of Sums 72  
Programmable Function Units 265  
Programmable Logic Devices 260  
Programmable Read Only Memory 260  
Propagation Delay 127  
Pseudorandom-Generator 192  
Pseudotetraden 12  
Pull-Up-Widerstand 252  
Puls-/Pausen-Verhältnis 184  
Puls-/Perioden-Verhältnis 184

## Q

Quant 3  
Quantisierung 2  
Quantisierungsstufe 3ff., 8  
Quine-McClusky 87

## R

Reaktionszeiten 34, 127  
Redundanz 12, 16  
Relais 252  
Reset-Set-Flipflop 128  
Retardierter Ausgang 142, 152f.  
Römisches Zahlensystem 6  
RS232 25  
RS-FF 128, 132ff., 145, 155f.  
RS-MS-FF 152

Rücksetzeingänge 125  
Rückwärtszähler 168, 175, 181

## S

Schaltalgebra 59  
Schaltbelegungstabelle 40  
Schalterdarstellung 60  
Schaltnetze 123, 166  
Schaltungen  
– Kombinatorische 123  
– Sequenzielle 123  
Schaltungssynthese 69  
Schaltvariable 59  
Schaltwerk 123, 166, 199  
Schaltwerktafel 208, 216  
Schieberegister 187  
Schmitt-Trigger-Eingang 254  
Schwellwert-Element 54  
Schwingquarz 183  
Sedezimalsystem 7  
Sequenzielle Schaltungen 123  
Seriell-Parallel-Umsetzung 187  
Setzeingänge 125  
Shannonsches Theorem 65  
Shift left 188  
Shift right 188  
Signalaufbereitung 254  
SIPO 187  
Slave-FF 142  
Spike 245  
Stellenschreibweise 6  
Stetig 12, 16  
Steuerfunktion 125  
Steuerwerke 199  
Sum Of Products 70  
Surface-Mounted Devices 246  
Synchronzähler 165, 172  
Synthese-Tabellen 156, 178

## T

Taktgeneratoren 161, 256  
Tetrade 12  
T-FF 151, 156 f.

Theorem 62  
– Shannonsches 65  
Through Hole Components 245  
Through Hole Technology 245  
Top-Down Design 1  
Torschaltung 104  
Totem-Pole-Ausgang 235  
Transistoren 232  
Transistor-Transistor-Logik 235  
Transmissionsglied 237  
Transparent-Mode 138 f.  
Tri-State 236, 249

## U

Übergangsschaltnetz 204 ff.  
Übergangstabelle 208  
Uhrenquarz 183  
Umcodierung 98  
UND-Gatter 41  
UND-Verknüpfung 40  
UND vor ODER 66  
UNGERADE-Element 54  
Unipolar-Transistoren 232  
Universal Serial Bus 187  
USB 187

## V

V24 25  
Variable  
– Logische 59  
Verarbeitungsgeschwindigkeit 34  
Verknüpfungsgesetz 63  
Verstärker 44  
Vertauschungsgesetz 62  
Verteilungsgesetz 64  
Verzögerungselement 160  
Verzögerungszeit 127  
Volladdierer 110  
Volldisjunktion 71  
Vollkonjunktion 70, 76  
Vorwärtszähler 167, 174

**W**

- Wahrheitstabelle 40, 76
- Widerstände, Ohmsche 231
- Widerstands-Dioden-Netzwerk 232
- Wired-AND 252

**X**

- XNOR-Verknüpfung 50
- XOR-Verknüpfung 49

**Z**

- Zahlensystem
  - Polyadisches 7f.
  - Römisches 6

**Zähler**

- Asynchrone 165
- Synchrone 166
- Zehnersystem 7
- Zeitdiagramme 127
- Zeitglied 157
- Zenerdiode 253
- Zufallszahlengenerator 30
- Zustandsdarstellung 207, 215
- Zustandsdiagramm 131
- Zustandsspeicher 204
- Zweibitfehler 21, 24
- Zweierkomplement 9
- Zyklisch 17